

**JAPANESE PATENT OFFICE**

(11) Publication number: **10023101 A**

(43) Date of publication of application: **23.01.98**

**H04L 29/10**

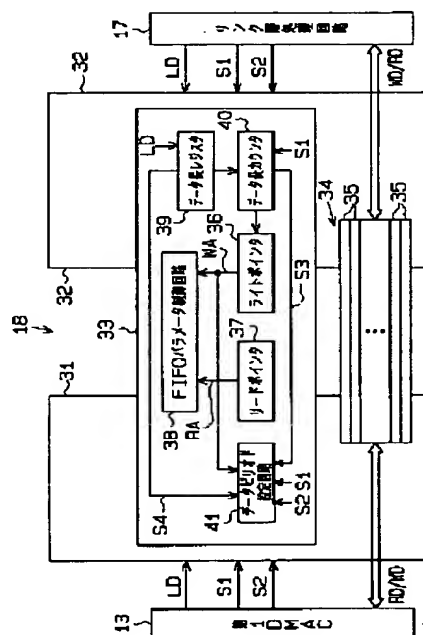
(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**

(72) Inventor: **TSUJIMOTO HIROYUKI**

(57) **Abstract:**

**SOLUTION:** A write pointer 36 stores data of each data group to sequentially store consecutive storage addresses of an FIFO core 34 and obtains a storage address of final data of each data group. A read pointer 37 extracts data of each data group from the sequentially consecutive storage addresses of the FIFO core 34. A data period setting circuit 41 extracts data up to a storage address of the final data of each data group by outputting a storage address of final data of each data group obtained by the write pointer 36 to the rear pointer 37 as the data of each data group.

COPYRIGHT: (C)1998,JPO



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 2 3 1 0 1

(43) 公開日 平成 1 0 年 ( 1 9 9 8 ) 1 月 2 3 日

(51) Int. Cl. <sup>6</sup>  
H04L 29/10

識別記号 庁内整理番号

F I  
H04L 13/00

309 Z

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 1 0 頁)

(21) 出願番号 特願平 8 - 1 7 2 6 3 9

(22) 出願日 平成 8 年 ( 1 9 9 6 ) 7 月 2 日

(71) 出願人 0 0 0 0 0 5 2 2 3

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番  
1 号

(71) 出願人 0 0 0 2 3 7 6 1 7

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町 2 丁目 1 8 4 4 番  
2

(72) 発明者 辻本 廣幸

愛知県春日井市高蔵寺町 2 丁目 1 8 4 4 番  
2 富士通ヴィエルエスアイ株式会社内

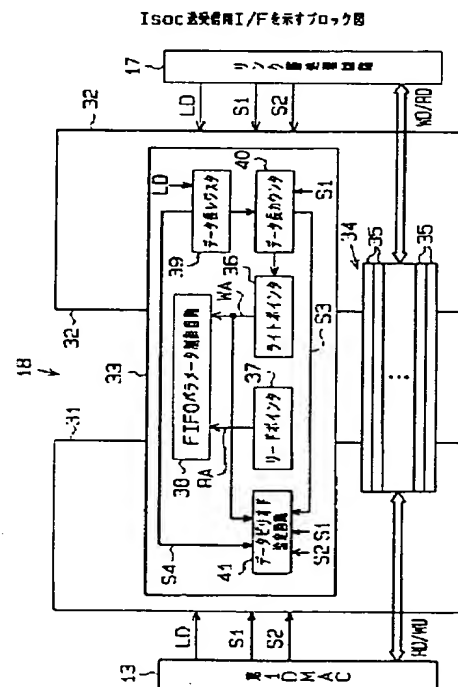
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 データ転送インタフェース回路及びデータ転送方法

(57) 【要約】

【課題】 データを読み出す側の回路を簡略化し、インタフェース回路を効率よく動作させる。

【解決手段】 ライトポインタ 3 6 は受信した各データ群のデータを F I F O コア 3 4 の順次連続した格納アドレスに格納するとともに、各データ群の最後のデータの格納アドレスを求める。リードポインタ 3 7 は F I F O コア 3 4 の順次連続した格納アドレスから各データ群のデータを取り出す。データピリオド設定回路 4 1 はライトポインタ 3 6 によって求められた各データ群の最後のデータの格納アドレスを、リードポインタ 3 7 に出力することにより各データ群の最後のデータの格納アドレスまでのデータを各データ群のデータとして取り出させる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項 1】 複数のデータ群を順次受信して各データ群を転送データ用格納メモリの連続した格納アドレスに格納し、前記転送データ用格納メモリに格納した各データ群を順次取り出して送信するようにしたデータ転送インタフェース回路において、

受信した各データ群のデータを前記転送データ用格納メモリの順次連続した格納アドレスに格納するとともに、各データ群の最後のデータの格納アドレスを求める格納アドレス制御部と、

前記転送データ用格納メモリの順次連続した格納アドレスから前記各データ群のデータを取り出すための取り出しアドレス制御部と、

前記格納アドレス制御部によって求められた各データ群の最後のデータの格納アドレスを、前記取り出しアドレス制御部に出力することにより前記各データ群の最後のデータの格納アドレスまでのデータを各データ群のデータとして取り出させるためのデータピリオド設定回路とを備えるデータ転送インタフェース回路。

【請求項 2】 前記格納アドレス制御部は、各データ群の規定のデータ長を設定するためのデータ長レジスタと、前記転送データ用格納メモリに格納したデータ長をカウントし、そのカウント値と前記データ長レジスタに設定された規定のデータ長との差に基づいて前記転送データ用格納メモリへの各データ群の最後のデータの格納アドレスを切り換えるためのデータ長カウンタとを備え、

前記データピリオド設定回路は、前記データ長カウンタによって求められた差に基づいて前記取り出しアドレス制御部を制御して前記転送データ用格納メモリから出力されるデータに 0 を付加させるようにした請求項 1 に記載のデータ転送インタフェース回路。

【請求項 3】 前記データピリオド設定回路は、前記取り出しアドレス制御部に出力するタグを記憶するためのタグ記憶領域を備え、タグ記憶領域は各データ群の最後のデータの格納アドレスを設定するためのアドレス部と、前記データ長レジスタに設定された各データ群の規定データ長が奇数バイト又は偶数バイトかを示すデータを設定するためのバイトフラグレジスタと、受信した各データ群の誤り訂正の結果信号を設定するエラーフラグレジスタと、前記データ長カウンタのカウント値と前記データ長レジスタに設定された規定のデータ長との差が 0 でないとき、パディングフラグが設定されるパディングフラグレジスタとを備える請求項 1 に記載のデータ転送インタフェース回路。

【請求項 4】 複数のデータ群を順次受信して各データ群を転送データ格納メモリの連続した格納アドレスに格納し、前記メモリに格納した各データ群を順次取り出して送信するようにしたデータ転送方法において、

受信側において前記各データ群における最終データの前

記転送データ格納メモリへの格納アドレスを求め、求めた格納アドレスを送信側に伝達し、

送信側において前記各格納アドレスまでのデータを取り出して送信することにより前記各データ群を転送するようにしたデータ転送方法。

## 【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、データ転送装置におけるインタフェース回路に係り、詳しくはシリアルインタフェースの規格である IEEE1394 に準拠したデータ処理方法及びデータ処理装置に関する。

【 0 0 0 2 】近年、パラレルバスによるデータ転送に代わって、シリアルバスによるデータ転送が注目されている。特に IEEE1394 等のシリアルバスによるバケット転送において、そのバスとデータを処理する機器とをインタフェースする回路は、バケットのヘッダに示してあるデータの長さ単位でバケットのデータを管理し、転送の制御を行わなければならない。

【 0 0 0 3 】また、機器をつなぐバスとインタフェース回路との間でのデータ転送と、インタフェース回路と機器との間でのデータ転送とは非同期で行われるため、インタフェース回路内に一時的にデータを格納しなければならない。

【 0 0 0 4 】このような動作を行うために、インタフェース回路はデータの数を数えるカウンタやデータを一時的に格納するための FIFO が必要となる。

【 0 0 0 5 】

【従来の技術】図 9 は IEEE1394 を使用するシステムの一部を示す。IEEE1394 プロトコルコントローラ ( I P C 7 0 は、1 3 9 4 用インタフェース ( 1 3 9 4 用 I / F ) 7 1、物理層処理回路 7 2、リンク層処理回路 7 3 及びインタフェース回路 7 4 を備える。1 3 9 4 用 I / F 7 1 は、図示しない IEEE1394 バスケーブルを介して周辺機器に接続されて、物理層処理回路 7 2 と周辺機器の I P C との間でバケットのやり取りを行う。

【 0 0 0 6 】物理層処理回路 7 2 は、1 3 9 4 用 I / F 7 1 が受信したバケットを入力しリンク層処理回路 7 3 に出力する。又、物理層処理回路 7 2 は、リンク層処理回路 7 3 から送信用のバケットを入力し、該バケットを 1 3 9 4 用 I / F 7 1 を介してその送信先の周辺機器に送信する。

【 0 0 0 7 】リンク層処理回路 7 3 は、物理層処理回路 7 2 から受信したバケットを入力する。リンク層処理回路 7 3 は、バケットの先頭に付したヘッダの内容に基づいて自身 ( 処理装置 7 8 ) 宛のバケットかどうか判断し、自身宛のバケットであれば該バケットをインタフェース回路 7 4 に供給する。又、自身宛のバケットでない場合、リンク層処理回路 7 3 は、該バケットを物理層処理回路 7 2 及び 1 3 9 4 用 I / F 7 1 を介してその送信先の周辺機器に送信する。又、リンク層処理回路 7 3

は、インタフェース回路 7 4 から送信用のバケットが供給される。

【 0 0 0 8 】 インタフェース回路 7 4 は処理装置 7 8 に接続されている。インタフェース回路 7 4 は F I F O 7 5 を備え、F I F O 7 5 にはリンク層処理回路 7 3 から受信したバケットデータや、処理装置 7 8 からの送信するためのバケットデータを一次的に格納する。また、インタフェース回路 7 4 にはリンク層処理回路 7 3 と処理装置 7 8 側にそれぞれバケットのデータの長さをカウントするためのカウンタ 7 6、7 7 が設けられている。インタフェース回路 7 4 はリンク層処理回路 7 3 と処理装置 7 8 とをインタフェースする際に、バケットのデータの長さを管理しようとする、書き込み側、例えばリンク層処理回路 7 3 側においてカウンタ 7 6 によって書き込まれたデータの数をカウントし、読み出し側、処理装置 7 8 側においてカウンタ 7 7 によって読み出されたデータの数をカウントする。こうすることによって、F I F O 7 5 にデータを書き込む側はバケットの規定のデータの長さを管理し、F I F O 7 5 からデータを読み出す側は読み出したデータの数を管理し、書き込み側と読み出し側との間でデータ長の情報をやり取りしていた。規定のデータの長さを把握するために、カウンタ 7 6、7 7 のデータ数の情報をやり取りして規定分のデータを管理することは必然的にしなければならなかった。

【 0 0 0 9 】

【 発明が解決しようとする課題 】 しかしながら、従来のインタフェース回路 7 4 は F I F O 7 5 に書き込むデータの数をカウントするカウンタ 7 6 と、F I F O 7 5 から読み出したデータの数をカウントするカウンタ 7 7 との 2 つを設けているため、回路が大型化するという問題がある。

【 0 0 1 0 】 本発明は上記問題点を解決するためになされたものであって、その目的は、データを読み出す側の回路を簡略化し、インタフェース回路を効率よく動作させることにある。

【 0 0 1 1 】

【 課題を解決するための手段 】 上記の目的を達成するため、本発明は、複数のデータ群を順次受信して各データ群を転送データ用格納メモリの連続した格納アドレスに格納し、転送データ用格納メモリに格納した各データ群を順次取り出して送信するようにしたデータ転送インタフェース回路において、受信した各データ群のデータを転送データ用格納メモリの順次連続した格納アドレスに格納するとともに、各データ群の最後のデータの格納アドレスを求める格納アドレス制御部と、転送データ用格納メモリの順次連続した格納アドレスから各データ群のデータを取り出すための取り出しアドレス制御部と、格納アドレス制御部によって求められた各データ群の最後のデータの格納アドレスを、取り出しアドレス制御部に出力することにより各データ群の最後のデータの格納ア

ドレスまでのデータを各データ群のデータとして取り出させるためのデータピリオド設定回路とを備える。

【 0 0 1 2 】

【 発明の実施の形態 】 以下、本発明を具体化した実施の形態を図 1 ～ 図 8 に従って説明する。図 1 は、シリアルインタフェースの一つである IEEE1394 に準拠したシステム構成を示す。パーソナルコンピュータ（以下、パソコンという）1、外部周辺機器としてのデジタル V T R 2、同じく周辺機器としてのカラーページプリンタ 3、及び、同じく周辺機器としてのデジタルビデオカメラ 4 は、IEEE1394 バスケーブル（以下、IEEE1394 バスという）5 を介して互いに接続されている。パソコン 1、デジタル V T R 2、カラーページプリンタ 3、及び、デジタルビデオカメラ 4 は、IEEE1394 に準拠したデータ転送を可能にするための IEEE1394 プロトコルコントローラをそれぞれ備えている。

【 0 0 1 3 】 図 2 は、パソコン 1 に設けた IEEE1394 に準拠したシステムの構成を示すブロック回路である。パソコン 1 は、IEEE1394 用プロトコルコントローラ（以下、I P C という）1 1、内部装置としてのマイクロプロセッシングユニット（以下、M P U という）1 2、及び、内部装置としての 2 個の第 1 及び第 2 D M A（Direct Memory Access）コントローラ 1 3、1 4 を備えている。I P C 1 1、M P U 1 2、第 1 D M A コントローラ（以下、第 1 D M A C という）1 3、及び第 2 D M A コントローラ（以下、第 2 D M A C という）1 4 は、それぞれワンチップの半導体集積回路装置（L S I）にて形成されている。

【 0 0 1 4 】 I P C 1 1 は、M P U 1 2、第 1 D M A C 1 3 及び第 2 D M A C 1 4 との間でデータの授受を行う。又、I P C 1 1 は、IEEE1394 バス 5 を介して前記デジタル V T R 2、カラーページプリンタ 3、及び、デジタルビデオカメラ 4 に備えられた I P C と結ばれており、これらの周辺機器の I P C との間でデータの授受を行う。I P C 1 1 のデータの授受は図 5 に示すデータ群としてのバケット 5 5 にて行われる。バケット 5 5 はヘッダ 5 6、データ 5 7、及び誤り訂正符号（C R C）5 8 とからなる。ヘッダ 5 6 にはバケット 5 5 の宛て先の情報、バケット 5 5 の種類の情報、データ 5 6 のデータ長の情報等が設定されている。

【 0 0 1 5 】 図 3 は、I P C 1 1 の回路構成を説明するためのブロック回路を示す。I P C 1 1 は、物理層処理回路 1 6、リンク層処理回路 1 7、アイソクロナスデータ送受信インタフェース（以下、I s o c 送受信 I / F という）1 8、送信バケット処理回路 2 2、受信バケット処理回路 2 3、F I F O よりなる第 1、第 2 格納メモリ（第 1、第 2 F I F O）2 4 a、2 4 b、制御内部レジスタ 2 5、第 1 及び第 2 の 1 3 9 4 用インタフェース（以下、第 1 及び第 2 の 1 3 9 4 用 I / F という）2 6 a、2 6 b、エイシンクロナスデータ送信用インタフェ

ース（以下、Asyn送信用I/Fという）27、エイシクロナスデータ受信用インタフェース（以下、Asyn受信用I/Fという）28、及び、MPUIインタフェース（以下、MPUI/Fという）29を備えている。

【0016】第1の1394用I/F26aは、前記IEE1394バス5を介して前記デジタルVTR2に接続されて、物理層処理回路16とデジタルVTR2のIPCとの間でアイソクロナス転送（Isoc転送）モードにおけるパケット（以下、Isocパケットという）と、エイシクロナス転送（Asyn転送）モードにおけるパケット（以下、Asynパケットという）の選り取りを行う。

【0017】第2の1394用I/F26bは、前記IEE1394バス5を介して前記カラーページプリンタ3に接続されて、物理層処理回路16とカラーページプリンタ3のIPCとの間でIsoc転送モードにおけるIsocパケットと、Asyn転送モードにおけるAsynパケットの選り取りを行う。

【0018】Isoc送受信用I/F18は前記第1DMAC13に接続され、第1DMAC13からIsoc転送モードで送信するための転送データ（Isocパケット）を一時的に記憶した後、転送データ単位でリンク層処理回路17に渡す。また、Isoc送受信用I/F18はIsoc転送モードで受信した転送データ（Isocパケット）を一時的に記憶した後、転送データ単位で第1DMAC13に渡す。

【0019】Asyn送信用I/F27は、前記第2DMAC14に接続され、第2DMAC14からAsyn転送モードで送信するための転送データ（Asynパケット）を第1FIFO24aに渡す。Asyn受信用I/F28は、前記第2DMAC14に接続され、第2FIFO24bに格納されたAsyn転送モードで受信した転送データ（Asynパケット）を第2DMAC14に渡す。

【0020】MPUI/F29は、前記MPUI2と接続され、該MPUI2と制御内部レジスタ25の間において各種のコマンドデータ等の選り取りを行う。物理層処理回路16は、第1及び第2の1394用I/F26a、26bが受信したIsocパケット及びAsynパケットを入力しリンク層処理回路17に出力する。又、物理層処理回路16は、リンク層処理回路17から送信用のIsocパケット及び送信用のAsynパケットを入力する。そして、物理層処理回路16は、該Isocパケット及びAsynパケットを第1又は第2の1394用I/F26a、26bを介してその送信先のデジタルVDR2、カラーページプリンタ3、又は、デジタルビデオカメラ4に送信する。

【0021】リンク層処理回路17は、物理層処理回路16から受信したIsocパケット及びAsynパケットを入力する。リンク層処理回路17は、Isocパケット及びAsynパケットの先頭に付したヘッダの内容に基づいて自身（パソコン1）宛のパケットかどうか判断し、自身宛の

パケットでない場合、リンク層処理回路17は、Isocパケット及びAsynパケットを物理層処理回路16及び第1又は第2の1394用I/F26a、26bを介してその送信先のデジタルVTR2、カラーページプリンタ3、又は、デジタルビデオカメラ4に送信する。

【0022】リンク層処理回路17は、受信した自身宛のパケットがIsocパケットかAsynパケットかを該パケットに付加されたヘッダの内容に基づいて判断する。そして、リンク層処理回路17は、受信したパケットがIsocパケットの場合にはヘッダに設定されているデータ長のデータLDをIsoc送受信用I/F18に出力する。リンク層処理回路17は受信したIsocパケットについて、ヘッダとIsocデータについてそれぞれ別々に誤り訂正のためのチェック処理を行う。そして、リンク層処理回路17は、誤り訂正処理したIsocパケットのデータのみをIsoc送受信用I/F18に供給する。また、リンク層処理回路17はIsocパケットの最後のデータをIsoc送受信用I/F18に渡す際、最終データであることを示す最終データ信号S1を出力するとともに、誤り訂正の結果信号S2を出力する。また、リンク層処理回路17は受信した自身宛のパケットがAsynパケットの場合には、該Asynパケットを受信パケット処理回路23に供給する。

【0023】さらに、リンク層処理回路17は、Isoc送受信用I/F18から送信用のIsocパケットが供給されるとともに、送信パケット処理回路22から送信用のAsynパケットが供給される。

【0024】受信パケット処理回路23は、リンク層処理回路17から受信したAsynパケットが供給される。受信パケット処理回路23は、受信したAsynパケットについて、AsynパケットのヘッダとAsynデータについてそれぞれ別々に誤り訂正のためのチェック処理を行う。受信パケット処理回路23は、誤り訂正処理したAsynパケットを第2FIFO24bに供給する。

【0025】第2FIFO24bは、誤り訂正処理された確実なAsynパケットを入力し、入力された順に次段のAsyn受信用I/F28に出力する。Asyn受信用I/F28は、ヘッダとAsynデータとからなるAsynパケットを前記したように第2DMAC14に渡す。

【0026】第1FIFO24aは、前記Asyn送信用I/F27を介して前記第2DMAC14からAsyn転送モードで送信するための送信用のAsynパケットを入力し、入力した順に前記送信パケット処理回路22に供給する。送信パケット処理回路22は、順次入力されてくるAsynパケットについて、AsynパケットのヘッダとAsynデータについてそれぞれ別々に誤り訂正符号を生成し付加する処理を行う。送信パケット処理回路22は、ヘッダ及びAsynデータに対してそれぞれ生成した誤り訂正符号を付加したAsynパケットを前記リンク層処理回路17に供給する。

【0027】前記制御内部レジスタ25は、MPUI/

F 29 とリンク処理回路 17 との間に設けられている。内部レジスタ 25 は、前記 MPU 12 と IPC 11 との間で行われる各種コマンド等の制御データが一時記憶される。そして、MPU 1/F 29 を介して入力される MPU 12 からの制御データは、リンク層処理回路 17 にて読み出され転送制御処理のための制御動作を IPC 11 に実行させる。又、リンク層処理回路 17 からの制御データは、MPU 12 にて読み出され転送制御処理のための制御動作を MPU 12 に実行させる。

【0028】図 4 は、Isoc 送受信用 I/F 18 は詳細を示す。Isoc 送受信用 I/F 18 は、第 1 及び第 2 の外部 I/F 部 31、32、転送データ用格納メモリとしての FIFO コア 34 及び FIFO コントロール部 33 を備える。FIFO コア 34 は FIFO コントロール部 33 によって制御され、リンク層処理回路 17 からの書き込みデータ WD はデータ群 (Isoc パケット) 単位で FIFO コア 34 に書き込まれ、FIFO コア 34 からデータ群 (Isoc パケット) 単位で読み出されたリードデータ RD は第 1 DMAC 13 に転送される。また、第 1 DMAC 13 からの書き込みデータ WD はデータ群 (Isoc パケット) 単位で FIFO コア 34 に書き込まれ、FIFO コア 34 からデータ群 (Isoc パケット) 単位で読み出されたリードデータ RD はリンク層処理回路 17 に転送される。

【0029】FIFO コントロール部 33 は FIFO コア 34 に Isoc データを格納する制御を行う。FIFO コントロール部 33 はライトポインタ 36、リードポインタ 37、FIFO パラメータ制御回路 38、データ長レジスタ 39、データ長カウンタ 40、及びデータピリオド設定回路 41 を備える。本形態ではライトポインタ 36、データ長レジスタ 39 及びデータ長カウンタ 40 により格納アドレス制御部が構成されている。

【0030】ライトポインタ 36 は FIFO コア 34 へのデータの順次連続した格納アドレス (ライトアドレス) をカウントするものであり、図 8 に示すようにアドレス設定端子 SA、ロード端子 LOAD、イネーブル端子 WEN、及びライトアドレス信号 WA の出力端子を備える。ライトポインタ 36 のイネーブル端子 WEN は、周辺機器からのデータの受信時にはリンク層処理回路 17 によって制御され、データの送信時にはパソコン 1 によって制御される。アドレス設定端子 SA はデータの受信時に 0 パディングを行ったとみなすためにライトポインタを切り換えるためのデータ入力端子である。ロード端子 LOAD はアドレスデータのライトポインタ 36 への設定を許可するための端子である。ライトアドレス信号 WA は FIFO コア 34 に供給されるとともに、FIFO パラメータ制御回路 38 に供給される。

【0031】リードポインタ 37 は取り出しアドレス制御部を構成し、FIFO コア 34 からのデータの順次連続した取り出しアドレス (リードアドレス) をカウント

するものであり、図 8 に示すようにイネーブル端子 REN、パディングモード端子 PM 及びリードアドレス信号 RA の出力端子を備える。リードポインタ 37 のイネーブル端子 REN は、周辺機器からのデータの受信時にはパソコン 1 によって制御され、データの送信時にはリンク層処理回路 17 によって制御される。リードアドレス信号 RA は FIFO パラメータ制御回路 38 に供給されるとともに、スイッチ 53 を介して FIFO コア 34 に供給される。パディングモード端子 PM はスイッチ 53 をオフさせて FIFO コア 34 へのリードアドレス信号 RA の供給を遮断させるための端子である。

【0032】FIFO コア 34 の出力側にはセクタ 51 が接続され、セクタ 51 には「0」のデータを格納したスタック 52 が接続されている。セクタ 51 はパディングモード信号 PM が入力されていないと FIFO コア 34 の出力データを選択し、パディングモード信号 PM が入力されているとスタック 52 のデータを選択して出力する。

【0033】FIFO パラメータ制御回路 38 はライトポインタ 36 から出力されるライトアドレス信号 WA とリードポインタ 37 から出力されるリードアドレス信号 RA とに基づいて FIFO コア 34 のフル又はエンptyを判定する。

【0034】データ長レジスタ 39 には前記リンク層処理回路 17 から出力されるデータ長のデータ LD が設定される。データ長カウンタ 40 は FIFO コア 34 に書き込むデータ長 (データ数) をカウントする。データ長カウンタ 40 は最終データ信号 S1 が入力されたとき、データ長レジスタ 39 に設定されたデータ長のデータ LD とカウンタ 40 のカウント値との差を求め、差が 0 でない場合にはパディングフラグ信号 S3 を出力する。すなわち、Isoc パケットのデータが何らかの原因で欠けて、FIFO コア 34 に書き込まれたデータ数がデータ長 LD よりも少ない場合には、欠けた分のデータとして「0」をパディング (付加) することにより Isoc パケットのデータ数をデータ長 LD にさせるためである。また、パディングフラグ信号 S3 を出力したとき、データ長カウンタ 40 は現在のライトアドレスにデータ長 LD とカウント値との差を加えた値をライトポインタ 36 のアドレス設定端子 SA に供給するとともに、ロード信号 LOAD を出力し、ライトポインタ 36 のライトアドレスを切り換える。

【0035】データピリオド設定回路 41 は FIFO コア 34 に格納した Isoc パケットの区切りの位置 (ライトアドレス) を設定するものであり、1 パケット分のデータの最後のデータにタグを付加することにより、パケット単位のデータの管理を行う。図 6 に示すように、データピリオド設定回路 41 はタグ FIFO 42、ライトポインタ 44、及びリードポインタ 45 を備える。タグ FIFO 42 は複数のタグ設定領域 43 を備える。図 7 に

示すように、タグは前記ライトポインタ 3 6 の最後のライトアドレス信号 W A を格納するアドレス部 4 6 A、バイトフラグレジスタ 4 6 B、エラーフラグレジスタ 4 6 C 及びパディングフラグレジスタ 4 6 D を備える。

【 0 0 3 6 】データピリオド設定回路 4 1 は、F I F O コア 3 4 へのデータ格納時において、1 パケット分のデータの最後のデータを指示する最終データ信号 S 1 が入力されると、ライトポインタ 3 6 のそのときのライトアドレスをアドレス部 4 6 A に設定する。このとき、データ長 L D とカウンタ 4 0 のカウント値との差が 0 でなく、パディングフラグ信号 S 3 が入力されると、パディングフラグ信号 S 3 をパディングフラグレジスタ 4 6 D に設定する。また、データピリオド設定回路 4 1 はデータ長レジスタ 3 9 に設定されたデータ長 L D の最下位のビット信号 S 4 を入力しており、このビット信号 S 4 をバイトフラグとしてバイトフラグレジスタ 4 6 B に設定する。さらに、データピリオド設定回路 4 1 はリンク層処理回路 1 7 から出力された誤り訂正の結果信号 S 2 を C R C エラーフラグとしてエラーフラグレジスタ 4 6 C に設定する。

【 0 0 3 7 】また、データピリオド設定回路 4 1 はパディングフラグレジスタ 4 6 D にパディングフラグ信号 S 3 を設定すると、ライトポインタ 3 6 のライトアドレスの切り換え後において、新たなタグ設定領域 4 3 のアドレス部 4 6 A にライトポインタ 3 6 の切り換え後のライトアドレスを設定する。

【 0 0 3 8 】データピリオド設定回路 4 1 は、F I F O コア 3 4 からのデータのリード時において、第 1 及び第 2 の外部 I / F 部 3 1、3 2 のうち、読み出し側の外部 I / F 部に対して読み出すべきパケットに対応するタグを出力端子 T O U T から出力する。タグイネーブル信号 T E N によって出力しているタグが有効になる。リードイネーブル信号 R E N に基づいてリードポインタ 4 5 がインクリメントされ、次のタグが出力される。

【 0 0 3 9 】第 1 及び第 2 の外部 I / F 部 3 1、3 2 のうち、読み出し側の外部 I / F 部は出力されたタグのアドレス部 4 6 A に設定されたライトアドレスまで F I F O コア 3 4 のデータを読むことによって、1 パケット分のデータを読み出すことができる。

【 0 0 4 0 】この際、出力されているタグのパディングフラグレジスタ 4 6 D にパディングフラグ信号 S 3 が設定されていると、パディングモード信号 P M によってスイッチ 5 3 はオフされ、F I F O コア 3 4 はアクセスされなくなる。このとき、パディングモード信号 P M に基づいてセクタ 5 1 によってスタック 5 2 のデータ「0」が選択されて出力され、0 がパディングされる。リードポインタ 3 7 のリードアドレスがライトポインタ 3 6 の切り換え後のライトアドレスと一致するまで、0 パディングが行われる。

【 0 0 4 1 】データの受信時において 2 バイト単位でデ

ータをパソコン 1 に転送する場合、パソコン 1 はタグのバイトフラグレジスタ 4 6 B に設定されたバイトフラグに基づいて上位側のデータのみが有効であることを判定することができる。また、パソコン 1 はタグのエラーフラグレジスタ 4 6 C に設定された誤り訂正の結果信号 S 2 に基づいて受信した Isoc パケットに誤りがあることを判定することができる。

【 0 0 4 2 】次に前記のように構成した I P C 1 1 の Isoc 送受信用 I / F 1 8 の作用について説明する。説明の便宜上、デジタル V T R 2 の I P C から Isoc 転送における Isoc パケットを受信する場合についてのみ説明する。

【 0 0 4 3 】I P C 1 1 がデジタル V T R 2 の I P C から Isoc パケットを受信するためには、Isoc 送受信用 I / F 1 8 が受信モードであり、このときには F I F O コア 3 4 に Isoc パケットが格納されていない（エンブティ）か又は F I F O コア 3 4 に既に受信した Isoc パケットの Isoc データが格納されている。

【 0 0 4 4 】デジタル V T R 2 の I P C から送信されてきた受信用の Isoc パケットは、第 1 の 1 3 9 4 用 I / F 2 6 a によって受信され、該 Isoc パケットは物理層処理回路 1 6 を介してリンク層処理回路 1 7 に供給される。受信用の Isoc パケットは、リンク層処理回路 1 7 によって該パケットのヘッダの内容に基づいて Isoc 転送モードの Isoc パケットと判断される。そのため、リンク層処理回路 1 7 によって該 Isoc パケットはヘッダと Isoc データとについて別々に誤り訂正のためのチェック処理が行われた後に、誤り訂正が行われた Isoc データのみが Isoc 送受信用 I / F 1 8 に供給される。このとき、Isoc パケットのヘッダに設定されている Isoc データのデータ長のデータ L D と、誤り訂正の結果信号 S 2 とがリンク層処理回路 1 7 から Isoc 送受信用 I / F 1 8 に出力されるとともに、Isoc データの最後のデータを Isoc 送受信用 I / F 1 8 に渡す際、最終データであることを示す最終データ信号 S 1 が出力される。

【 0 0 4 5 】Isoc 送受信用 I / F 1 8 において、F I F O コア 3 4 に Isoc データが格納されていない場合には、ライトポインタ 3 6 のライトアドレス信号 W A の値とリードポインタ 3 7 のリードアドレス信号 R A の値とは一致している。F I F O コア 3 4 に既に受信した Isoc データが格納されている場合には、ライトポインタ 3 6 のライトアドレス信号 W A の値は、リードポインタ 3 7 のリードアドレス信号 R A の値に対して既に格納されている Isoc データのデータ数を加えた値となっている。

【 0 0 4 6 】データ長のデータ L D はデータ長レジスタ 3 9 に設定される。ライトポインタ 3 6 によって F I F O コア 3 4 のライトアドレスが順次インクリメントされ、Isoc 送受信用 I / F 1 8 に供給された Isoc データは、ライトポインタ 3 6 から出力されるライトアドレス信号 W A が指示する連続した格納アドレスに順次格納される。F I F O コア 3 4 に書き込まれるデータ長（デー



タ数)はデータ長カウンタ40によってカウントされる。

【0047】リンク層処理回路17からIsocデータの最後のデータであることを指示する最終データ信号S1が入力されると、データ長カウンタ40によってデータ長レジスタ39に設定されたデータ長のデータLDとカウンタ40のカウント値との差を求められる。この差が0でない場合にはデータ長カウンタ40からパディングフラグ信号S3が出力される。

【0048】FIFOコア34へのデータ格納時において、最終データ信号S1がデータピリオド設定回路41に入力されると、ライトポインタ36のそのときのライトアドレスがタグ設定領域43のアドレス部46Aに設定される。また、データ長レジスタ39に設定されたデータ長LDの最下位のビット信号S4がバイトフラグとしてバイトフラグレジスタ46Bに設定され、リンク層処理回路17から出力された誤り訂正の結果信号S2がCRCエラーフラグとしてエラーフラグレジスタ46Cに設定される。このとき、パディングフラグ信号S3が入力されると、パディングフラグ信号S3がパディングフラグレジスタ46Dに設定される。

【0049】また、パディングフラグ信号S3の出力時に、ライトポインタ36のライトアドレスは、データ長カウンタ40によって、データ長LDとカウント値との差を現在のライトアドレスに加えた値に切り換えられる。パディングフラグ信号S3に基づくライトポインタ36のライトアドレスの切り換え後において、データピリオド設定回路41によって新たなタグ設定領域43のアドレス部46Aにライトポインタ36の切り換え後のライトアドレスが設定されて0パディングのためのタグが生成される。すなわち、Isocパケットのデータが何らかの原因で欠けて、FIFOコア34に書き込まれたデータ数がデータ長LDよりも少ない場合には、1パケット分のIsocパケットに対して2つのタグが発行される。

【0050】FIFOコア34へのIsocデータの格納が完了し、FIFOコア34からのデータのリードモードになると、第1の外部I/F部31に対して読み出すべきIsocデータに対応するタグが出力され、タグイネーブル信号TENによって出力しているタグが有効になる。

【0051】リードポインタ37によってFIFOコア34のリードアドレスが順次インクリメントされ、Isoc送受信信用I/F18に供給されたIsocデータは、リードポインタ37から出力されるリードアドレス信号RAが指示する連続した格納アドレスから順次読み出される。リードポインタ37のリードアドレスは、タグのアドレス部46Aに設定されたライトアドレスまでインクリメントされ、1パケット分のIsocデータが読み出される。

【0052】この際、出力されているタグのパディングフラグレジスタ46Dにパディングフラグ信号S3が設定されていると、第1の外部I/F部31からパディン

グモード信号PMが出力される。パディングモード信号PMによってスイッチ53はオフされ、FIFOコア34はアクセスされなくなる。このとき、パディングモード信号PMに基づいてセクタ51によってスタック52のデータ「0」が選択されて出力され、0がパディングされる。リードポインタ37のリードアドレスがライトポインタ36の切り換え後のライトアドレスと一致するまで、0パディングが行われる。すなわち、Isocパケットのデータが何らかの原因で欠けて、FIFOコア34に書き込まれたデータ数がデータ長LDよりも少ない場合には、欠けた分のデータとして「0」をパディング(付加)することによりFIFOコア34から読み出されるIsocパケットのデータ数がデータ長LDになる。

【0053】データの受信時において2バイト単位でデータをパソコン1に転送する場合、パソコン1はタグのバイトフラグレジスタ46Bに設定されたバイトフラグに基づいて上位側のデータのみが有効であることを判定する。また、パソコン1はタグのエラーフラグレジスタ46Cに設定された誤り訂正の結果信号S2に基づいて受信したIsocパケットに誤りがあることを判定する。

【0054】本実施の形態は上記のように構成されているので、以下の効果がある。

(1) 本実施に形態において、Isoc送受信信用I/F18は、FIFOコア34へのデータのライト時においてパケットの最後のデータのライトアドレスを設定したタグをデータピリオド設定回路41によって発行させ、FIFOコア34からのデータのリード時において読み出すべきパケットに対応するタグを読み出し側に出力して1パケット分のデータを読み出すようにした。そのため、FIFOコア34へのデータの書き込み側において書き込まれたデータの長さを管理すればよくなり、Isoc送受信信用I/F18を効率よく動作させることができる。

【0055】(2) 本実施の形態においては、Isoc送受信信用I/F18はデータ長レジスタとして書き込まれたデータ長をカウントするためのデータ長レジスタ40を1個のみ設けているため、Isoc送受信信用I/F18を簡略化することができる。

【0056】(3) 本実施の形態においては、1パケットの最後のデータであることを指示する最終データ信号S1に基づいて、データ長レジスタ39に設定されたデータ長のデータLDとカウンタ40のカウント値との差をデータ長カウンタ40によって求め、この差が0でない場合にはパディングフラグ信号S3によってタグにパディングフラグを設定する。そして、パディングフラグ信号S3の出力時に、データ長カウンタ40はライトポインタ36のライトアドレスをデータ長LDとカウント値との差を現在のライトアドレスに加えた値に切り換える。また、パディングフラグ信号S3に基づくライトポインタ36のライトアドレスの切り換え後において、データピリオド設定回路41は0パディングのためのタグ

を発行する。FIFOコア34からのデータのリード時において、パディングフラグレジスタ46Dに設定されたパディングフラグに基づいて出力されるパディングモード信号PMによってFIFOコア34をアクセスせず、スタック52のデータ「0」を選択して出力することにより、リードポインタ37のリードアドレスがライトポインタ36の切り換え後のライトアドレスと一致するまで、0パディングを行う。そのため、Isocパケットのデータが何らかの原因で欠けて、FIFOコア34に書き込まれたデータ数がデータ長LDよりも少ない場合においても、FIFOコア34から読み出されるデータ長をIsocパケットの規定のデータ長LDとすることができる。

【0057】(4) 本実施の形態においては、Isoc送受信用I/F18は送受信兼用のFIFOコア34を1つのみ設け、FIFOコア34のライトアドレス信号を出力するライトポインタ36及びリードアドレス信号を出力するリードポインタをそれぞれ1つずつ設けているため、Isoc送受信用I/F18を簡略化することができる。

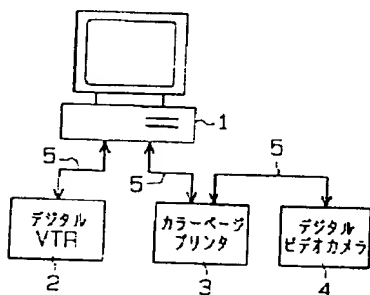
【0058】(5) データの受信時において2バイト単位でデータをパソコン1に転送する場合、パソコン1はタグのバイトフラグレジスタ46Bに設定されたバイトフラグに基づいて上位側のデータのみが有効であることを判定することができる。また、パソコン1はタグのエラーフラグレジスタ46Cに設定された誤り訂正の結果信号S2に基づいて受信したIsocパケットに誤りがあることを判定することができる。

【0059】なお、本発明は次のように任意に変更して具体化することも可能である。

(1) 上記形態では、データ転送をパケットにて行うIEEE1394プロトコルコントローラ11のIsoc送受信用インタフェース回路18に具体化したのが、これに限定される

【図1】

実施の形態のIEEE1394バスを用いたシステム構成図



ものではなく、受信したデータ群を一時的にメモリに格納した後、データ群単位で取り出して送信するようなデータ転送インタフェースに実施してもよい。

【0060】

【発明の効果】以上詳述したように、本発明は、データを読み出す側の回路を簡略化し、インタフェース回路を効率よく動作させることができる。

【図面の簡単な説明】

【図1】実施の形態のIEEE1394バスを用いたシステム構成図

【図2】パソコン内の構成を説明するためのブロック図

【図3】IEEE1394用プロトコルコントローラを説明するためのブロック図

【図4】Isoc送受信用I/Fを示すブロック図

【図5】データパケットを示す説明図

【図6】データピリオド設定回路を示すブロック図

【図7】タグフォーマットを示す説明図

【図8】FIFOコントロール部を示す説明図

【図9】従来の送受信用I/Fを示すブロック図

20 【符号の説明】

34 転送データ用格納メモリとしてのFIFOコア

36 格納アドレス制御部を構成するライトポインタ

37 取り出しアドレス制御部を構成するリードポインタ

39 格納アドレス制御部を構成するデータ長レジスタ

40 格納アドレス制御部を構成するデータ長カウンタ

41 データピリオド設定回路

43 タグ記憶領域

46A アドレス部

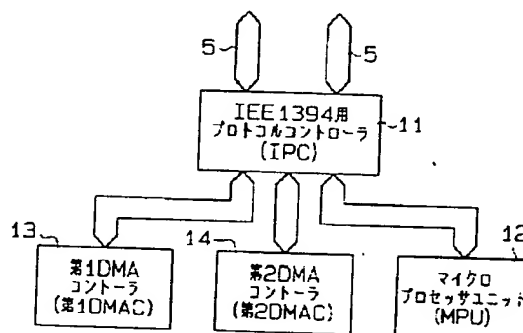
30 46B バイトフラグレジスタ

46C エラーフラグレジスタ

46D パディングフラグレジスタ

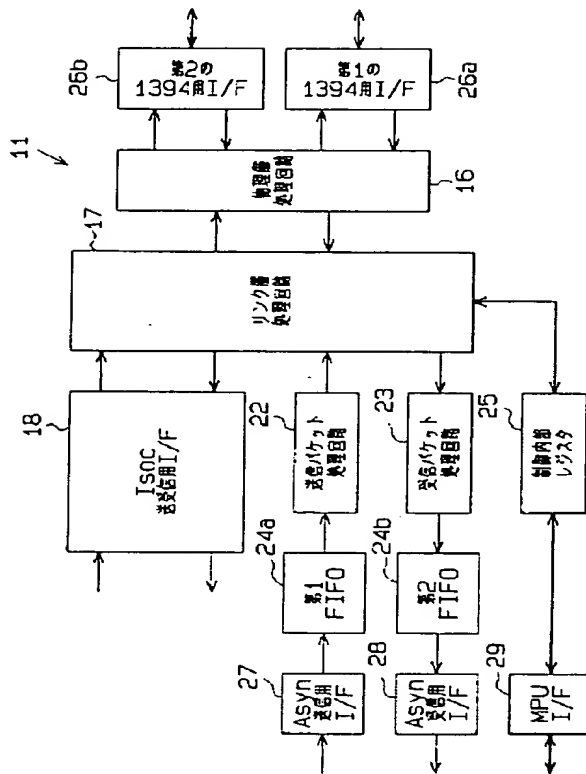
【図2】

パソコン内の構成を説明するためのブロック図



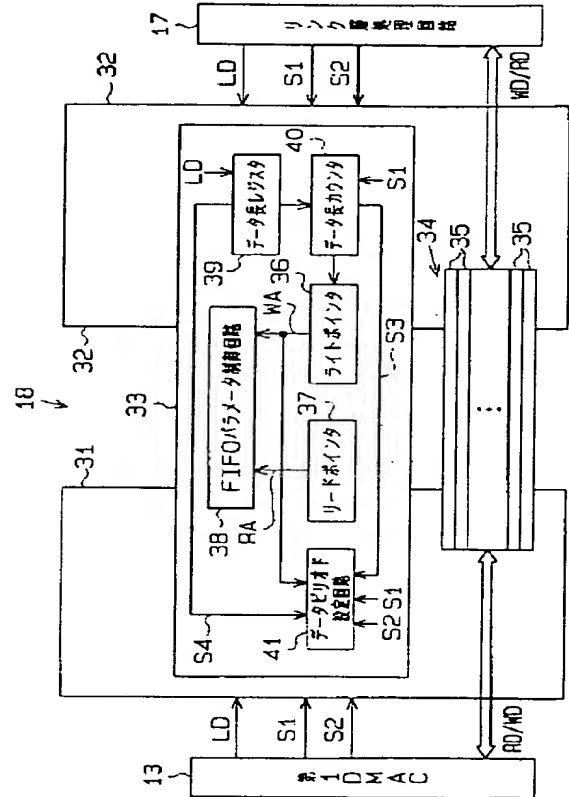
【図 3】

IEEE1394用プロトコルコントローラを説明するためのブロック図



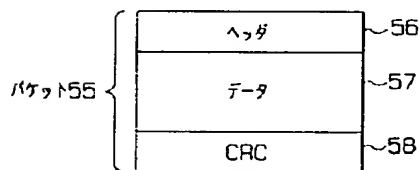
【図 4】

Isoc 送受信I/Fを示すブロック図



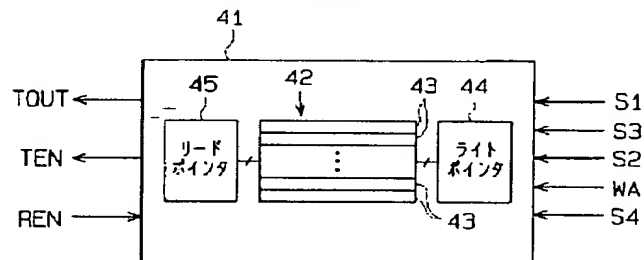
【図 5】

データパケットを示す説明図



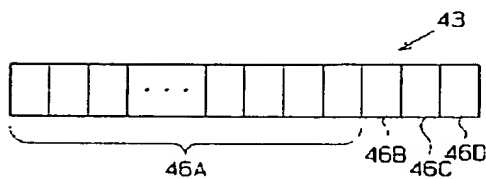
【図 6】

データピリオド設定回路を示すブロック図



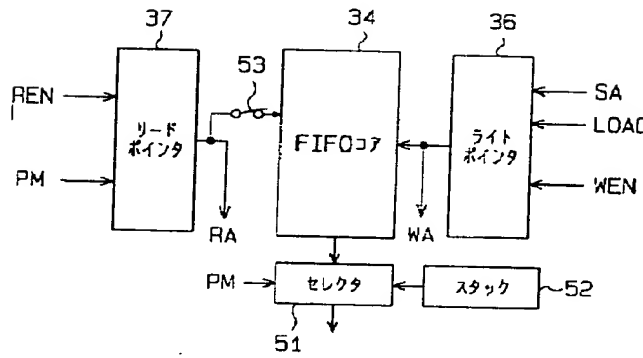
【図 7】

タグフォーマットを示す説明図



【 図 8 】

FIFOコントロール部を示す説明図



【 図 9 】

従来の送受信用I/Fを示すブロック図

